

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-251457

(43)Date of publication of application : 17.09.1999

(51)Int.Cl.

H01L 21/8244

H01L 27/11

(21)Application number : 10-360972

(71)Applicant : MOTOROLA INC

(22)Date of filing : 18.12.1998

(72)Inventor : CRAIG S REEJI
MOSUMI BUHATT
YON-JU TOM RI
ANDREW G NAGY
LARRY E FURISA
FILIPIAK STANLEY M
DAVID L OMEERA
T P ONG
WOO MICHAEL P
TERRY G SPARKES
CAROL M GERATOS

(30)Priority

Priority number : 97 997714

Priority date : 23.12.1997

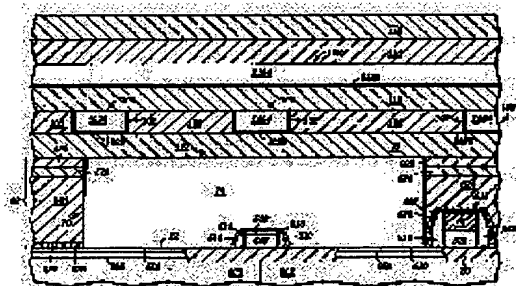
Priority country : US

(54) SEMICONDUCTOR DEVICE, MEMORY CELL AND ITS FORMING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device where the trouble due to contact at the forming of cross connection is dissolved.

SOLUTION: A semiconductor device contains the memory array of a SRAM cell. The SRAM cell is formed by using a process flow which is closely connected by a logic-type device. The SRAM cell is formed by using not three typical semiconductor layers but a single semiconductor layer. The SRAM cell contains multiple features which can considerably reduce the size (can reduce it to the size below 0.25 micron, and possible down to 0.1 micron). The system of a local mutual connection part 522 is realized by a peculiar process integrated system and respective local mutual connection parts cross-connect the inverter of SRAM and form it into a single opening 70. The interconnection part 104 of word/line is shifted from the silicon part of the same word/line, and therefore the mutual connection part will not be an obstacle to bit line connection.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 2 5 1 4 5 7

(43) 公開日 平成 1 1 年 (1 9 9 9) 9 月 1 7 日

(51) Int. Cl. ⁶

H01L 21/8244

27/11

識別記号

庁内整理番号

F I

H01L 27/10

381

技術表示箇所

審査請求 未請求 請求項の数 6 O L (全 1 6 頁)

(21) 出願番号 特願平 1 0 - 3 6 0 9 7 2

(22) 出願日 平成 1 0 年 (1 9 9 8) 1 2 月 1 8 日

(31) 優先権主張番号 9 9 7 7 1 4

(32) 優先日 1 9 9 7 年 1 2 月 2 3 日

(33) 優先権主張国 米国 (U S)

(71) 出願人 3 9 0 0 0 9 5 9 7

モトローラ・インコーポレイテッド

MOTOROLA INCORPORATED

アメリカ合衆国イリノイ州シャンバーグ、
イースト・アルゴンクイン・ロード 1 3 0
3

(72) 発明者 クレイグ・エス・レージ

アメリカ合衆国テキサス州オースティン、ブ
リーザント・ドライブ 3 1 1

(74) 代理人 弁理士 大貫 進介 (外 1 名)

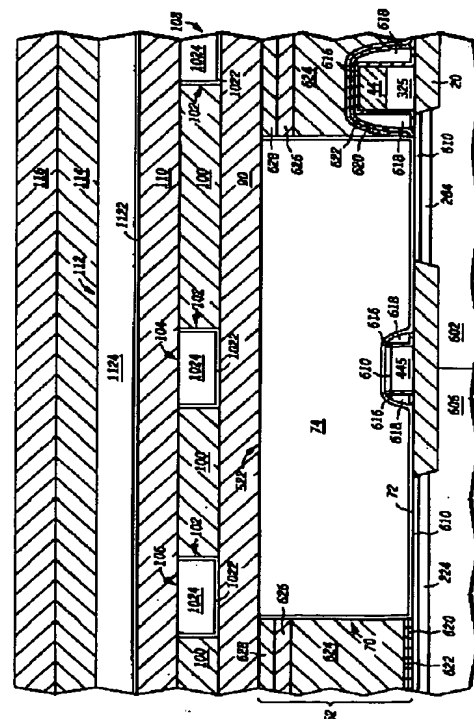
最終頁に続く

(54) 【発明の名称】 半導体デバイス、メモリ・セル、およびその形成方法

(57) 【要約】

【課題】 交差結合を形成する際の接触の問題を解消した半導体デバイスを提供する。

【解決手段】 半導体デバイスは、SRAMセルのメモリ・アレイを含む。SRAMセルは、ロジック型デバイスにより密接に関連するプロセス・フローを用いて形成する。SRAMセルは、典型的な3つの半導体層ではなく、1つの半導体層を用いて形成する。SRAMセルは、その寸法を大幅に縮小可能(0.25ミクロン未満、更に0.1ミクロン以下寸法までも可能)とする多くの特徴を含む。独特なプロセス統合化方式によって、ローカル相互接続部(522, 524)の形成を可能とし、各ローカル相互接続部はSRAMの反転器を交差結合し、単一の開口(70)内に形成する。また、ワード・ラインの相互接続部分(104)は、同じワード・ラインのシリコン部分(36)から横方向にずれているので、この相互接続部分は、ビット・ライン接続の邪魔にならない。



【特許請求の範囲】

【請求項 1】半導体デバイスであって：主面を有する基板；各々前記基板内のその主面付近に位置する第 1 ドープ領域（244）および第 2 ドープ領域（284）；前記基板の前記主面の一部（345）の上に位置する第 1 導電性部材（34）であって：平面図からは：前記部分（345）は前記第 1 ドープ領域（244）と前記第 2 ドープ領域（284）との間に位置し；ある形状を有する第 1 導電性部材（34）；前記第 1 導電性部材の上に位置する第 1 絶縁層（44）であって、平面図からは、前記第 1 導電性部材（34）の形状と実質的に同様の形状を有する第 1 絶縁層（44）；第 1 開口（70）を有する第 2 絶縁層（62）；前記第 1 ドープ領域（244）を前記第 2 ドープ領域（284）に電氣的に接続する第 1 相互接続部（524）であって：前記第 1 相互接続部（524）は、前記第 1 導電性部材（34）および前記第 1 絶縁層（44）上に延び；前記第 1 相互接続部（524）は、前記第 2 絶縁層（62）の第 1 開口（70）内に位置するインレイド相互接続部であり、前記第 2 絶縁層（62）の前記第 1 開口（70）内において、前記第 1 絶縁層（44）によって縦方向に前記第 1 導電性部材（34）から電氣的に絶縁されている第 1 相互接続部（524）；から成ることを特徴とする半導体デバイス。

【請求項 2】メモリ・セルであって：基板；前記基板の一部の上に位置するフィールド分離領域（20）；前記基板の異なる部分の上に位置するゲート誘電体層；および前記フィールド絶縁領域（20）および前記ゲート誘電体層の上に位置する第 1 導電性部材（34）；から成り、

前記第 1 導電性部材（34）は、相互接続部（345）およびゲート電極部（344，348）を含み；前記第 1 導電性部材（34）の前記相互接続部（345）上に第 1 シリサイド領域（445）があるが、前記第 1 導電性部材（34）の前記ゲート電極部（344，348）上にはシリサイドがないことを特徴とするメモリ・セル。

【請求項 3】メモリ・アレイを含む半導体デバイスであって：基板の主面に形成されたコンポーネント；前記コンポーネントの上に位置する第 1 絶縁層（90）；前記第 1 絶縁層（90）の上に位置する第 1 レベル相互接続部（106，108）であって、電源電極に電氣的に接続されている第 1 レベル相互接続部（106，108）；前記第 1 レベル相互接続部（106，108）の上に位置する第 2 絶縁層（110）；および前記第 2 絶縁層（110）の上に位置する第 2 レベル相互接続部（112）；から成り、前記メモリ・アレイ内において：前記第 2 レベル相互接続部（112）はビット・ラインを含み；前記第 2 レベル相互接続部（112）は、前記メモリ・アレイ内のメモリ・セルに電力を供給する

全ての相互接続部（106，108）よりも高い位置にあることを特徴とする半導体デバイス。

【請求項 4】半導体デバイスであって：第 1 の高さに位置する第 1 導電性領域（288）；前記第 1 の高さよりも高い第 2 の高さに位置する第 2 導電性領域（425）；前記第 1 および第 2 導電性領域（284，425）の上に位置する第 1 絶縁膜（622）であって、傾斜窒化物、金属窒化物、または低 k 誘電体を含む第 1 絶縁膜（622）；前記第 1 絶縁膜（622）の上に位置し、少なくとも約 1，000 オングストロームの厚さを有する第 2 絶縁膜（624）であって、前記第 1 絶縁膜（622）と比較して、異なるレートで除去可能な第 2 絶縁膜（624）；前記第 1 および第 2 導電性領域（284，425）上の前記第 1 および第 2 絶縁膜（622，624）を貫通する開口（70）；および前記第 1 および第 2 導電性領域（284，425）の少なくとも一方に電氣的に接続された相互接続部（524）であって、前記開口（70）をほぼ埋める相互接続部（524）；から成ることを特徴とする半導体デバイス。

【請求項 5】半導体デバイスの形成方法であって：第 1 の高さに位置する第 1 導電性領域（284）を形成する段階；前記第 1 の高さよりも高い第 2 の高さに位置する第 2 導電性領域（425）を形成する段階；前記第 1 および第 2 導電性領域（284，425）上に第 1 絶縁膜（622）を形成する段階であって、傾斜窒化物、金属窒化物、または低 k 誘電体を含む第 1 絶縁膜（622）を形成する段階；前記第 1 絶縁膜（622）上に、少なくとも約 1，000 オングストロームの厚さを有する第 2 絶縁膜（624）を形成する段階；前記第 2 絶縁膜上にパターン・マスキング層を形成する段階であって、前記第 1 および第 2 導電性領域（284，425）の上に位置する第 1 マスキング層開口（66）を有する前記パターン・マスキング層を形成する段階；前記第 1 マスキング層開口（66）の下に位置する前記第 2 絶縁膜（624）を貫通するエッチングを行い、前記第 1 絶縁膜（622）を露出させる段階であって、前記第 1 絶縁膜（622）をエッチングによって完全に貫通する前に停止する段階；前記第 1 マスキング層開口（66）の下に位置する前記第 1 絶縁膜（622）を貫通するエッチングを行い、前記第 1 および第 2 絶縁膜（622，624）を貫通する絶縁層開口（70）を形成する段階；前記第 2 絶縁膜（624）上および前記絶縁層開口（70）内に導電性膜（74）を形成する段階；および前記絶縁層（62）の上に位置する導電膜（74）の部分を除去し、前記絶縁層開口（70）内ならびに前記第 1 および第 2 導電性領域（284，425）上にインレイド相互接続部（524）を形成し、該インレイド相互接続部（514）を前記第 1 および第 2 導電性領域（284，425）の少なくとも一方に電氣的に接続する段階；から成ることを特徴とする方法。

【請求項 6】半導体デバイスの形成方法であって：第 1 導電性領域（244）、第 2 導電性領域（345）、および第 3 導電性領域（284）ならびに第 1 絶縁層（44）を形成する段階であって：平面図からは、前記第 2 導電性領域（345）は前記第 1 および第 3 導電性領域（244、284）の間に位置し；前記第 2 導電性領域（345）は、前記第 1 および第 3 導電性領域（244、284）の各々よりも高い位置にあり；前記第 1 絶縁層（44）が前記第 2 導電性領域（345）上には位置するが、前記第 1 および第 3 導電性領域（244、284）上には位置しないように、前記第 1 絶縁層（44）にパターニングを行う段階；前記第 1、第 2、および第 3 導電性領域（244、345、284）上に第 2 絶縁層（62）を形成する段階であって：前記第 2 絶縁層（62）は少なくとも約 1,000 オングストロームの厚さを有し、予めパターニングされた表面（629）を有し；前記第 1 絶縁層（44）のパターニングを終了した後に、実行する段階；前記第 2 絶縁層（62）の前記予めパターニングされた表面（629）上に、パターン・マスク層を形成する段階であって：前記パターン・マスク層は、前記第 2 絶縁層（62）上に形成される第 1 のパターン・マスク層であり；前記パターン・マスク層は、前記第 1、第 2 および第 3 導電性領域（244、345、284）上に位置する第 1 マスキング層開口（66）を有し；前記第 2 絶縁層（62）の前記予めパターニングされた表面（629）は、前記第 1 マスキング層開口（66）内の前記第 2 絶縁層（62）の唯一の露出面である、段階；前記第 2 絶縁層（62）をエッチングし、前記第 1、第 2、および第 3 導電性領域（244、345、284）上に第 2 絶縁層開口（70）を形成する段階であって、前記第 2 絶縁層開口（70）は：前記第 1 および第 3 導電性領域（244、284）の部分露出させるが、前記第 2 導電性領域（345）を露出させず；前記パターン・マスク層を、前記第 2 絶縁層開口（70）を形成するために用いられる唯一のマスキング層とする段階；前記パターン・マスク層を除去する段階；前記第 2 絶縁層（62）上および前記第 2 絶縁層開口（70）内に導電膜（74）を形成する段階であって、前記第 2 絶縁層（62）をエッチングする段階の後であるが、前記第 2 絶縁層（62）上に他のいずれかのマスキング層を形成する前に実行する段階；および前記第 2 絶縁層（62）の上に位置する前記導電膜（74）の部分除去し、前記第 2 絶縁層開口（62）内に第 1 インレイド相互接続部（524）を形成する段階であって、前記第 1 インレイド相互接続部（524）を前記第 1 および第 3 導電性領域（244、284）に電気的に接続するが、前記第 2 導電性領域（345）からは少なくとも前記第 1 絶縁層（44）によって電気的に絶縁する段階；から成ることを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般的に、半導体デバイスに関し、更に特定すれば、メモリ・セルを備えたメモリ・アレイを有する半導体デバイスおよびその形成方法に関するものである。

【0002】

【従来の技術】デバイスの寸法が縮小し続け、半導体デバイス内のコンポーネントを相互接続する必要性が高まりつつあるので、堅牢であり、かつ半導体デバイス内の種々のコンポーネントに使用可能な、先進の相互接続システムが必要となっている。多くの場合、これらのローカル相互接続部(local interconnect)は、半導体基板内のゲート電極とソース／ドレイン領域との間に作られる。この接続を行う場合、厚い絶縁層を貫通し、ゲート電極およびソース／ドレイン領域に達する開口をエッチングする際に困難が生ずる可能性がある。ゲート電極は、典型的に、ソース／ドレイン領域よりも高い位置にあるので、ゲート電極の方が、ソース／ドレイン領域と比較して、長い時間エッチングされる。

【0003】この問題を解決する試みの中に、エッチ・ストップ膜を用いるものが含まれる。即ち、プラズマ・エンハンス窒化物膜を、基板内のゲート電極およびドープ領域上に形成することができる。非常に厚い酸化物を形成し、平面化する。ゲート電極上のプラズマ・エンハンス窒化物膜は、ソース／ドレイン領域上の厚い酸化物を全てエッチングする前に、完全にエッチングで除去することができる。これが可能なのは、厚い酸化物膜とプラズマ・エンハンス窒化物との間のエッチング選択性が低いからである（典型的に、8：1未満）。

【0004】プラズマ・エンハンス窒化物膜の厚さを増大させることは、よい選択肢ではない。何故なら、エッチ・ストップ膜は典型的に厚さが 1,000 オングストローム未満であり、窒化物の厚さの増大のために、後続のエッチ・ストップ膜のパターニングが一層困難となり得るからである。プラズマ・エンハンス窒化シリコン膜の厚さ増大のために、厚い酸化物膜のエッチングの後に残る膜厚における非均一性の量が増大する。更に、プラズマ・エンハンス窒化シリコン膜の除去を目的とするエッチング工程が、この非均一性を伝搬し、最も激しくエッチングが行われた弱点(weak spot)において、分離機能が失われることが予想され、しかもソース／ドレイン領域上の膜を完全に除去し切れない。また、プラズマ・エンハンス窒化物膜の厚さ増大により、デバイス上の他の導体に対する容量性結合も増大する。

【0005】この問題を解決しようとする更に他の試みに、厚い酸化物膜によって覆われた窒化物のエッチ・ストップ膜の下に、薄い酸化物膜を配するものがある。この場合も、厚い酸化物膜を貫通してエッチングを行う際に、窒化物のエッチ・ストップ膜が、厚い酸化物膜のバ

ターニングの間にエッチングされる可能性がある。窒化物のエッチ・ストップ膜をエッチングした後、酸化物のエッチャントは急速に薄い酸化物膜を除去する。

【 0 0 0 6 】 それ以外の別の試みでは、窒化物膜、エッチ・ストップ・ポリシリコン膜、および燐ガラス膜を順次形成する。エッチ・ストップ・ポリシリコン膜をエッチ・ストップ膜として、燐ガラス膜を貫通する開口を形成する。この構造に高圧蒸気酸化を行い、エッチ・ストップ・ポリシリコンを熱酸化膜に変換する。エッチング工程を実行し、熱酸化物膜および窒化物膜を貫通する開口を形成する。高圧蒸気酸化は、ゲート電極のような他に存在する構造に、望ましくない酸化を発生させる可能性がある。

【 0 0 0 7 】

【 発明が解決しようとする課題 】 特に、スタティック・ランダム・アクセス・メモリ (S R A M) メモリ・セルを有する半導体デバイスでは、記憶ノードとラッチ・トランジスタとの間の交差結合を形成する際に、かかる接触の問題を発生し易い。図 1 を参照すると、 S R A M セル 1 0 は、 1 対のバス・トランジスタ 1 1 , 1 2 を含み、それぞれ、ビット・ライン (B L) および相補ビット・ライン (B L 反転) に接続されている。トランジスタ 1 1 の他の部分は、 n - 型ラッチ・トランジスタ 1 3 および p - 型負荷トランジスタ 1 5 のドレインに接続されている。バス・トランジスタ 1 2 の他の部分は、 n - チャンネル・ラッチ・トランジスタ 1 4 および p - チャンネル負荷トランジスタ 1 6 のドレインに接続されている。図 1 に見られるように、ラッチ・トランジスタ 1 3 および負荷トランジスタ 1 5 のゲート電極は、トランジスタ 1 4 , 1 6 のドレインに接続されている。また、トランジスタ 1 4 , 1 6 のゲート電極は、トランジスタ 1 3 , 1 5 のドレインに接続されている。トランジスタ 1 3 , 1 4 のソースは、 V_{ss} 電極に接続され、トランジスタ 1 5 , 1 6 のソースは V_{DD} 電極に接続されている。バス・トランジスタ 1 1 , 1 2 のゲート電極は、ワード・ラインの一部であり、互いに電氣的に接続されている。この特定の S R A M セル 1 0 では、 S R A M セル内で反転器を交差結合しようとする際に、典型的に、困難に遭遇する。

【 0 0 0 8 】

【 発明の実施の形態 】 本発明は、添付図面に、限定ではなく一例として、図示してある。図面では、同様の参照番号は、同様のエレメントを示すものとする。

【 0 0 0 9 】 また、図面におけるエレメントは、簡略性および明確性を目的として図示されており、必ずしも同じ縮率で描かれている訳ではないことを、当業者は認めよう。例えば、図面におけるエレメントには、その寸法が他のエレメントに対して誇張してあり、本発明の実施例 (群) の理解を深める役割を果たしているものもある。

【 0 0 1 0 】 半導体デバイスは、スタティック・ランダム・アクセス・メモリ・セルのメモリ・アレイを含む。 S R A M セルは、ロジック型デバイス (即ち、マイクロコントローラ、マイクロプロセッサ等) により密接に関連するプロセス・フローを用いて形成される。本発明の S R A M セルは、他の S R A M セルにおいて典型的に見られる少なくとも 3 つの層と比較して、 1 つの半導体 (即ち、シリコン、ゲルマニウム等) 層を用いて形成される。 S R A M セルは、非常に小さな寸法 (0 . 2 5 ミクロン未満、更に 0 . 1 ミクロンおよびそれ以下も可能である) にまで、その寸法を縮小可能とする多くの特徴を含む。独特のプロセス統合方式によって、ローカル相互接続部の形成を可能とし、各ローカル相互接続部が、 S R A M の反転器を交差結合し (cross couple) 、単一の開口内に形成される。他の特徴については、以下で論ずる。本発明は、以下に続く詳細な説明によって、よりよく理解されよう。

【 0 0 1 1 】 図 2 は、メモリ・アレイを有する半導体デバイスの一部の平面図を示し、 S R A M セルの一部分が、半導体デバイスの基板から形成されている。この明細書で用いる場合、半導体デバイス基板とは、単結晶半導体ウエハ、絶縁物上半導体 (S O I) ウエハ、または半導体デバイスを形成する際に用いられるその他のあらゆる種類の基板を含むものとする。この特定実施例では、半導体デバイス基板は、単結晶半導体ウエハおよびその上に位置するエピタキシャル層を含む。半導体デバイス基板の主面は、コンポーネント (即ち、トランジスタ等) の部分が形成される面である。

【 0 0 1 2 】 図 2 に示すように、フィールド分離領域 2 0 を形成し、アクティブ領域 2 2 , 2 4 , 2 6 , 2 8 を規定する。フィールド分離領域 2 0 は、従来の手段によって形成し、より具体的には、本実施例ではシャロー・トレンチ分離プロセス (shallow trench isolation process) を用いて形成する。フィールド分離領域 2 0 を形成した後、一連のインプラント・ドーピング工程を実行し、ウエル領域を形成する。アクティブ領域 2 2 , 2 4 は、低濃度にドーピングした p - 型シリコンであり、アクティブ領域 2 6 , 2 8 は、低濃度にドーピングした n - 型シリコンである。アクティブ領域 2 2 , 2 4 は、典型的に、 p - ウエル領域の一部であり、アクティブ領域 2 6 , 2 8 は、典型的に、 n - ウエル領域の一部である。ウエル領域のように、低濃度にドーピングした領域は、 1 立方センチメートル当たり約 1×10^{18} 原子以下のドーピング濃度を有する。

【 0 0 1 3 】 アクティブ領域 2 2 , 2 4 , 2 6 , 2 8 上にゲート誘電体層を形成するが、図 2 には示されていない。アクティブ領域 2 2 , 2 4 , 2 6 , 2 8 およびフィールド分離領域 2 0 上に、半導体層を堆積する。半導体層の厚さは、約 1 , 0 0 0 ないし 3 , 0 0 0 オングストロームの範囲である。

【 0 0 1 4 】 オプションのインプラント・スクリーン層（即ち、薄い酸化物層）を、半導体層上に形成するが、図示していない。インプラント・スクリーン層の厚さは、50ないし200オングストロームの範囲である。次に、半導体層上にマスクング層（図示せず）を形成し、周辺エリア（メモリ・アレイの外側）の全てではないにしても、その殆どを被覆する。メモリ・アレイ内の半導体層を露出させる。次に、半導体層の露出部分にドーパントを導入し、マスクング層およびインプラント・スクリーン層を除去する。

【 0 0 1 5 】 半導体層上に絶縁キャッピング層 (insulating capping layer) を形成する。絶縁キャッピング層は、典型的に、二酸化シリコンとは異なるエッチング・レートを有する。しかしながら、特定の実施例の中には、絶縁キャッピング層は、テトラエチル・オルトシリケート (TEOS: tetraethyl orthosilicate) を用いて形成した酸化物層とすることが可能な場合もある。絶縁キャッピング層は、複数の膜を含むことができる。絶縁キャッピング層は、典型的に、窒化物膜であり、その厚さは約700ないし1500オングストロームの範囲である。

【 0 0 1 6 】 次に、絶縁キャッピング層 4 4 上にマスクング層 4 0 をコートし、パターニングを行って開口 4 2 を形成する。その 1 つを図 3 に示す。メモリ・アレイ内において、絶縁キャッピング層 4 4 をいくらか露出させる。メモリ・アレイ内のこれらのエリアは、半導体層をラッチ・トランジスタおよび負荷トランジスタのドレイン領域に電氣的に接続する位置に対応する（反転器の交差結合）。メモリ・アレイの外側では、入力保護トランジスタを形成するエリアの可能な例外として、絶縁キャッピング層 4 4 全体が、マスクング層 4 0 で被覆されている。エッチング工程を実行し、マスクング層 4 0 によって被覆されていない全てのエリアに対して、半導体層の上に位置する絶縁キャッピング層 4 4 を除去する。エッチングの後、マスクング層 4 0 を除去し、絶縁キャッピング層 4 4 および半導体層の露出部分上に、反射防止層（図示せず）を形成する。反射防止層は、典型的に、シリコン濃厚窒化シリコンのような窒化物を堆積することによって形成し、その厚さは約100ないし400オングストロームの範囲である。

【 0 0 1 7 】 反射防止層上にマスクング層（図示せず）を形成し、これにパターニングを行う。反射防止層、残留する絶縁キャッピング層 4 4、およびパターニングされたマスクング層によって被覆されていない半導体層の部分除去し、半導体層を含む導電性部材 3 2、3 4、3 6 を形成する。パターニングの後、絶縁キャッピング層は、その下地導電性部材とほぼ完全に重なり合う側面を有する。

【 0 0 1 8 】 図 4 を参照すると、導電性部材 3 2 は、ラッチ・トランジスタ・ゲート電極部 3 3 2、負荷トラン

ジスタ・ゲート電極部 3 2 6、および相互接続部 3 2 5 を含む。この明細書で用いる場合、相互接続部とは、フィールド絶縁領域 2 0 の上に位置する導電性部材の部分のことであり、典型的に、ゲート電極部を互いに、またはメモリ・セル即ちデバイスの他の部分と接続するために用いる。導電性部材 3 4 は、ラッチ・トランジスタ・ゲート電極部 3 4 4、負荷トランジスタ・ゲート電極部 3 4 8、および相互接続部 3 4 5 を含む。導電性部材 3 6 は、バス・トランジスタ・ゲート電極部 3 6 2、3 6 4 および相互接続部 3 6 5 を含む。導電性部材 3 6 は、メモリ・アレイのワード・ラインの一部である。ゲート電極部は、それらの各トランジスタのためのゲート電極である。

【 0 0 1 9 】 マスクング層および反射防止層は、導電性部材 3 2、3 4、3 6 を形成した後除去する。反射防止層を除去するには、ドライ・エッチング・プロセスを用いる。酸化シリコン層のような保護層を、導電性部材上に形成する。その厚さは、約50ないし200オングストロームの範囲である。

【 0 0 2 0 】 次に、N+およびP+ソース/ドレイン・ドーピングを行う。燐、砒素等を含むn-型ドーパントを用いて、アクティブ領域 2 2 および 2 4（図 2 に見られるような領域）の部分にドーピングし、図 4 に示すように、1立方センチメートル当たり少なくとも1E19原子のドーパント濃度に、N+ドーピング領域 2 2 2、2 2 4、2 2 6、2 4 2、2 4 4、2 4 6 を形成する。砒素等を含むp-型ドーパントを用いて、アクティブ領域 2 6、2 8 の部分にドーピングし、1立方センチメートル当たり少なくとも1E19原子のドーパント濃度に、P+ドーピング領域 2 6 4、2 6 8、2 8 4、2 8 8 を形成する。これらは、半導体デバイスのソース、ドレイン、およびソース/ドレイン領域（電流搬送電極）を形成する。

尚、同様のドーピングを周辺回路にも行い、その場合、n-チャネル・トランジスタはn-型ドーピングを受け、p-チャネル・トランジスタはp-型ドーピングを受けることを注記しておく。典型的に、アニールを行いドーパントを活性化させる。半導体デバイスの周辺領域では、半導体層にN+またはP+ドーピングを行い、n-チャネルおよびp-チャネル・トランジスタのゲート電極を形成する。

【 0 0 2 1 】 保護層および基板の他の部分上に、スペーサ形成層を形成する。典型的に、スペーサ形成層は、厚さが約500ないし800オングストロームの範囲の窒化シリコン層である。絶縁キャッピング層と同様、スペーサ形成層も、TEOSを用いて形成した酸化物層とすることも可能である。スペーサ形成層には、他の材料も使用可能である。スペーサ形成層に異方性エッチングを行い、導電性部材に隣接してスペーサを形成する。

【 0 0 2 2 】 プロセスのこの時点において、いくつかの構造の形状について注記しておく。絶縁キャッピング層

10

20

30

40

50

4 4, 保護層, および側壁スペーサの組み合わせは、複合絶縁層を形成する。複合絶縁層の形状は、導電性部材 3 2, 3 4, 3 6 の形状とほぼ同様である。部分 4 2 5, 4 4 5 以外は複合絶縁層によって被覆され、更に複合絶縁層は導電性部材 3 2, 3 4 を横方向に包囲する。図 4 では、絶縁部材 3 2, 3 4, 3 6 上の絶縁キャッピング層 4 4 の位置を示す。何故なら、これは、導電性部材 3 2, 3 4, 3 6 の上に位置する主要絶縁層であるからである。導電性部材 3 2, 3 4 の部分 4 2 5, 4 4 5 は、絶縁キャッピング層 4 4 によって被覆されない。側壁スペーサを含む複合絶縁層を構成する他の層は、レイアウトの理解を容易にするために、図 4 のような平面図には図示していない。

【0023】次に、シリサイド・プロセスを実行し、導電性部材 3 2, 3 4 の部分 4 2 5, 4 4 5 上、およびドープ領域 2 2 2, 2 4 2, 2 2 6, 2 4 2, 2 4 4, 2 4 6, 2 6 4, 2 6 8, 2 8 4, 2 8 8 上にシリサイド領域を形成する。この処理シーケンスは、N+およびP+ドープ領域、およびメモリ・アレイの外側である、周辺エリアの残りの半導体層のほぼ全ての上にもシリサイドを形成する。入力保護回路の他に、周辺エリア内のトランジスタのゲート電極にもシリサイドを形成する。シリサイド領域は、珪化チタン (TiSi₂)、珪化コバルト (CoSi₂)、珪化ニッケル (NiSi₂)、珪化パラジウム (PdSi₂)、珪化タンタル (TaSi₂)、珪化モリブデン (MoSi₂)、珪化プラチナ (PtSi₂) 等を含む。

【0024】次に、導電性部材 3 2, 3 4, 3 6 および基板の他の部分の上に、複数の絶縁膜を含む絶縁層を形成する。絶縁層を貫通する開口を形成し、図 5 に示すように、開口内に導電性部材 5 2 2, 5 2 4, 5 4 2, 5 4 4, 5 6 2, 5 6 4, 5 8 2, 5 8 4 を形成する。導電性部材 5 2 2, 5 2 4 は、記憶ノードのために電気的接続を行うセル内ストラップ (ローカル・インレイド相互接続部 (local inlaid interconnect)) である。導電性部材 5 4 2, 5 4 4, 5 6 2, 5 6 4 は、ビット・ラインおよび V_{ss} 接続のためのコンタクト・ランディング・パッド (contact landing pad) である。導電性部材 5 8 2, 5 8 4 は、セル間ストラップ (ローカル・インレイド相互接続部) であり、各々、4 つの異なるメモリ・セルのドレイン領域に対する電気的接続を行い、V_{ss} 接続のためのコンタクト・ランディング・パッドである。4 つのメモリ・セルの 1 つを図 5 に示す。

【0025】絶縁層および導電性部材の形成は、ロジック・デバイス (即ち、マイクロプロセッサ、マイクロコントローラ等) に対してより密接に関連するプロセス・シーケンスによって形成される SRAM セルに合わせて行われた (tailor)。その中核の一部は、SRAM セル内の反転器の交差結合に関する。図 6 ないし図 8 は、図 5 の切断線 6 - 6 および 8 - 8 から見た、メモリ・セルの

部分の断面図を示す。

【0026】図 6 は、半導体デバイス内のメモリ・セルの一部を含み、更に N-ウエル領域 6 0 2 および P-ウエル領域 6 0 6 を含む。フィールド分離領域 2 0, P+ドープ領域 2 8 4, および N+ドープ領域 2 4 4 は、半導体基板の主面付近に位置し、それぞれ、ウエル領域 6 0 2, 6 0 6 から形成される。導電性部材 3 2 の部分 4 2 5 および導電性部材 3 4 の相互接続部 3 4 5 は、フィールド分離領域 2 0 の部分の上に位置する。シリサイド領域 6 1 0 は、部分 4 2 5, P+ドープ領域 2 8 4, および N+ドープ領域 2 4 4 の上に位置するが、図 6 に示す相互接続部 3 4 5 の部分の上には位置しない。相互接続部 3 4 5 の上に位置するのは、絶縁キャッピング層 4 4 である。部分 4 2 5 および相互接続部 3 4 5 に隣接して、保護層 6 1 6 および絶縁スペーサ 6 1 8 がある。この時点までの処理については、既に論じた。

【0027】シリサイド領域 6 1 0 を形成した後、次に基板を処理し、絶縁層 6 2 を堆積する。図 6 に見られるこの特定実施例では、絶縁層 6 2 は 5 枚の膜を含む。図 5 に示す導電性部材 5 2 2, 5 2 4 を形成する際、半導体デバイスの他の部分に損傷を加えたり悪影響を及ぼすことなく、適正な電気的接続を行う必要がある。図 6 を参照すると、例えば、テトラエチルオルトシリケート (TEOS 即ち Si (OC₂H₅)₄) および酸素 (O₂) を使用し、プラズマ酸化物堆積工程を用いて、第 1 絶縁膜 6 2 0 を形成する。第 1 膜の厚さは、約 5 0 0 オングストローム未満であり、通常、約 1 5 0 ないし 4 0 0 オングストロームの範囲の厚さを有する。

【0028】第 2 絶縁膜 6 2 2 を形成する。第 2 絶縁膜 6 2 2 は、傾斜窒化シリコン膜 (graded silicon nitride film) を含み、その厚さは約 5 0 0 ないし 1, 0 0 0 オングストロームの範囲である。第 2 絶縁膜 6 2 2 の形成に関する詳細は、この明細書の後半において説明する。第 1 および第 2 絶縁膜 6 2 0, 6 2 2 を組み合わせた厚さは、可能であれば、約 1, 0 0 0 オングストローム以下に保持すべきである。あるいは、第 1 および第 2 絶縁膜 6 2 0, 6 2 2 を、耐熱金属の酸化物または金属窒化物の単一膜、あるいは低 k 誘電体膜で置換することも可能である。この明細書で用いる場合、低 k 誘電体膜は、二酸化シリコンよりも低い誘電率を有する膜のことを意味する。尚、二酸化シリコンの誘電率は、3. 9 である。

【0029】第 2 絶縁膜上に第 3 絶縁膜 6 2 4 を形成する。第 3 絶縁膜 6 2 4 は典型的にドープ酸化物を含む。具体的な実施例の 1 つでは、この膜を形成するには、TEOS、酸素、硼酸トリメチル (TMB)、および燐酸トリメチル (TMPi) を用い、ポロフォスフォシリケート・ガラスを形成することができる。あるいは、非ドープ酸化物膜あるいはシラン (SiH₄) またはジシラン (Si₂H₆) を用いて形成される酸化物膜のよう

な、他の絶縁膜を形成することも可能である。第3絶縁膜624の厚さは、1,000オングストロームよりも厚く、通常では約5,000ないし15,000オングストロームの厚さに堆積することが多い。

【0030】第3絶縁膜624を平面化し、第4絶縁膜626を被せる。第4絶縁膜626は、典型的に、酸化物を含み、約1,000ないし4,000オングストロームの厚さを有する。第4絶縁膜626上に、反射防止膜である第5絶縁膜628を形成する。第5絶縁膜628は、典型的に、シリコン濃厚シリコン酸化物、シリコン濃厚シリコン窒化物等である。第4および第5絶縁膜626,628はオプションである。

【0031】第1,第2,第3,第4,および第5絶縁膜は、約450℃以下の温度で形成し、凝集またはシリサイド領域610に対する他の悪影響の可能性を低下させる。しかしながら、高速熱処理を用いてこれらの膜のいずれかを形成すると、堆積の間の温度が750℃もの高温となる場合がある。何故なら、堆積時間が典型的に5分未満となるからである。第1,第3,および第4絶縁膜は、従来の手段を用いて形成する。

【0032】第2絶縁膜622は、傾斜窒化シリコン膜を含むことができ、少なくとも4種類の異なる方法で形成することができる。一実施例では、「フラッシュPEN」プロセスを用いて、第2絶縁膜622を形成する。このプロセスでは、従来のプラズマ・エンハンス窒化物プロセスを、プロセスの開始時に用いる。少なくとも1つの窒素ソース・ガス（窒素（N₂）、アンモニア（NH₃）等）および半導体ソース・ガス（シラン（SiH₄）、ジシラン（Si₂H₆）、塩素化シランまたはジシラン等）を、堆積の間流す。典型的に、シラン、窒素、およびアンモニアをプロセス開始の間流す。

【0033】窒素ソース・ガス流と同時またはこれよりも前に半導体ソース・ガス流を停止する代わりに、半導体ソース・ガス流よりも前に、窒素ソース・ガス流を停止する。これら2つのガス流を停止する時間差は、典型的に、0.5ないし15秒であり、約1ないし7秒の範囲というのが更に一般的である。この時間中、反応器内の窒素ソース・ガスは欠乏し、一方半導体ソース・ガスは流れ続ける。得られる第2絶縁膜622は、傾斜組成を有し、第3絶縁膜624付近の表面では、半導体（即ち、シリコン）の濃度が高くなっている。このシリコン濃度の上昇によって、第3絶縁膜624と比較してより良いエッチング選択性が与えられる。

【0034】あるいは、第2絶縁膜622は、プロセスの開始時に、窒化シリコンの堆積のための従来のパラメータを使用し急速熱化学蒸着を用いて形成する。半導体ソース・ガス（即ち、SiH₄等）および窒素ソース・ガス（即ち、NH₃等）は、約1:8ないし1:12の範囲のガス流比率で流す。「フラッシュPEN」プロセスと同様、堆積の最初の部分では、ほぼ化学量論比を有

する窒化シリコン膜を形成する。しかしながら、堆積の終了付近では、半導体ソース・ガスを減少または停止させる前に、約5ないし10秒の範囲の時間期間にわたり、窒素ソース・ガス流を停止する。この膜は典型的に「フラッシュPEN」プロセスよりも高い温度で形成するが、この急速熱プロセスは、典型的に、より良い電気的特性を有する膜を与える。

【0035】尚、本発明の実施例は、半導体ソース・ガスを停止する前に、窒素ソース・ガスを完全に停止しなくてもよいことを注記しておく。半導体ソース・ガスの流量の窒素ソース・ガスの流量に対する比率は、第2絶縁膜622の堆積終了付近では増大する。したがって、半導体ソース・ガス流を停止する前に、窒素ソース・ガスの流量を減少させることができるが、必ずしも停止することはない。

【0036】更に別の方法では、従来のプラズマ・エンハンス窒化シリコン膜の堆積を用いて、傾斜窒化シリコン膜を形成することができる。堆積に続いて、シリコン、ゲルマニウム等のイオンを従来のプラズマ・エンハンス窒化シリコン膜に注入し、膜の上面付近の半導体含有量を増大させる。シリコン・イオンを用いる場合、加速エネルギーは約5ないし50キロ電子ボルトの範囲であり、投与量は1平方センチメートル当たり少なくとも1E15イオンである。

【0037】逆に、半導体膜（即ち、シリコン、ゲルマニウム、シリコン・ゲルマニウム等）は、プラズマ・エンハンス化学蒸着によって堆積することができる。半導体膜に窒素イオンを注入する。あるいは、半導体膜に酸素、アルゴン、または炭素を注入し、その抵抗率を高めることも可能である。イオンは、約5ないし50キロ電子ボルトの範囲の加速エネルギー、および1平方センチメートル当たり少なくとも1E15イオンの投与量で半導体膜内に注入する。

【0038】更に別の実施例では、傾斜窒化膜は、プラズマ・エンハンス窒化シリコン膜とこの窒化シリコン膜上の半導体膜との組み合わせによって置換することも可能である。半導体膜の厚さは約100オングストローム以下であり、典型的には約50オングストローム以下である。直前の段落で記載したような抵抗率を増大させるためのイオン注入は、オプションである。

【0039】更に別の実施例では、傾斜窒化シリコン膜は、反応性スパッタリング・プロセスを用いて形成することができる。スパッタ堆積の開始時に、窒素およびアルゴンを含むプラズマを、シリコン・ターゲットに対して方向付ける。堆積の殆どは、3:4のシリコン対窒素比を有する膜を堆積するために設計されている。堆積の終了時頃では、プラズマ内のシリコン対窒素の比率は低下し、堆積膜内のその上面付近でシリコン対窒素比が上昇する。注入方法またはスパッタ堆積方法の後、典型的にアニールを行う。

【0040】傾斜窒化シリコン膜は、その厚さ全体にわたってほぼ均一な組成を有する、半導体濃厚窒化物膜（即ち、シリコン濃厚窒化シリコン）で置換することができる。この膜は、従来の方法で形成する。

【0041】第1および第2絶縁膜620、622は、耐熱金属の酸化物（二酸化チタン（ TiO_2 ）、五酸化タンタル（ Ta_2O_5 ）等）または金属窒化物（窒化アルミニウム（ AlN ）、窒化タンタル・シリコン（ Ta, Si, N ）等）の単一膜で置換することができる。これらの膜は、金属または金属化合物膜を堆積し、次いで、酸素環境において、スパッタリングで形成した膜を酸化させることによって形成することができる。この場合、通常、アニーリング、無線周波数（RF）酸素プラズマ等を含む。あるいは、耐熱金属または耐熱金属化合物を、酸素を含有するプラズマ内においてスパッタリングすることにより、耐熱金属の酸化物を堆積することも可能である。金属窒化物膜は、窒素を含むプラズマ内において金属または金属化合物をスパッタリングすることによって形成することができる。

【0042】窒化タンタル・シリコン（ Ta, Si, N ）および窒化タンタルは、窒素を含むプラズマを用い、硅化タンタルまたはタンタルを反応性スパッタリングする（reactivity sputtering）ことによって形成する。プラズマ内の窒素量を調節することによって、絶縁タンタル系膜を形成することができる。窒化タンタル・シリコンを絶縁性とするために、膜内の窒素の原子百分率が少なくとも45原子％、より一般的には55原子％以上となるように、窒素流量を調節しなければならない。膜内の55原子％の窒素濃度は、スパッタリング・チャンバ内における約3：1の窒素対アルゴン・ガス比に対応する。窒化タンタルを絶縁性とするには、窒素対アルゴンガス比を一層高く、一般的には5：1より高い比とする。窒化タンタル・シリコンおよび窒化タンタルでは、それらの対応する導電性膜と比較して、絶縁膜を形成する場合により高い窒素対アルゴン・ガス比を用いる。

【0043】第5絶縁膜628は、シラン、アンモニア（ NH_3 ）、および亜酸化窒素（ N_2O ）のプラズマ反応によって形成する。酸窒化シリコン膜は決して化学量論とならないが、第5絶縁膜は、殆どの従来のシリコン酸窒化膜と比べると、比較的シリコン濃厚性が高い。堆積の間ガス流比は、3：1ないし5：1（ $SiH_4 : N_2O$ ）、4：1ないし6：1（ $N_2 : N_2O$ ）および10：1ないし14：1（ $N_2 : SiH_4$ ）である。他の全ての堆積パラメータは従来通りである。

【0044】膜620、624、626のような従来の絶縁膜でさえも、完全な絶縁体である膜はない。膜622、628は、典型的に、従来の絶縁膜と比較すると、比較的シリコン量を多く有することができる部分を有する。膜620、624、626は、膜622、628と

比較すると、完全な絶縁体に近く、膜622、628は、この明細書では絶縁膜と見なすことにする。何故なら、これらは、半導体と比較すると、絶縁体の方に近い特性を有するからである。絶縁膜62を用いると、最終半導体デバイス内のメモリ・セル当たりの漏れ電流は、 V_{DD} 電極と V_{SS} 電極との間の電位差が約1.8ボルトであり、メモリ・セルの温度が約125℃である場合、約10ピコアンペア以下となる。約1.8ボルト差におけるメモリ・セル当たりの漏れ電流は、室温（約22℃）で通常1ピコアンペア未満である。本発明の実施例では、約1.8ボルト差におけるメモリ・セルの漏れ電流は、室温で約0.1ピコアンペアである。

【0045】次に、絶縁膜62の予めパターンニングしてある表面629上にレジスト層64をコートし、レジスト層64の部分を露光し、レジスト層64を現像してマスキング層の開口を形成することによって、パターン・マスキング層を形成する。図6に示すように、マスキング層開口の1つを66で示す。マスキング層の開口は、導電性部材522、524、542、544、562、564、582、584が形成される場所に対応する。

【0046】複数の処理工程を含むエッチング・シーケンスを、単一のエッチング・チャンバ内において、単一の真空サイクルの間に実行する。あるいは、複数の真空サイクルまたは複数のエッチング・チャンバ内において、エッチング・シーケンスを行うことも可能である。フッ素含有ガスを用いて、5枚の絶縁膜620、622、624、626、628にエッチングを行う。しかしながら、実際のフッ素含有ガスおよびエッチング・プラズマ内のその他のガスは、膜間で様々に変化する。尚、パターン・マスキング層は、導電性部材522、524、542、544、562、564、582、584のための開口を形成するために用いる唯一のマスキング層であることを注記しておく。言い換えると、導電性部材522、524、542、544、562、564、582、584を形成するためには、デュアル・インレイド・プロセス・シーケンス（dual-inlaid process sequence）を実行しない。

【0047】トリフルオロメタン（ CHF_3 ）および四フッ化炭素（ CF_4 ）の組み合わせを用いて、第5および第4絶縁膜626、628を貫通するエッチングを行う。第5膜628をエッチングによって貫通させた後、ガス化学薬品を切り替え、第4絶縁膜626をエッチングする場合には、 CF_4 に対して相対的に薄くする。第5絶縁膜628のエッチングの間、 $CHF_3 : CF_4$ 比は約1：1であり、第4絶縁膜626の間、 $CHF_3 : CF_4$ 比は約10：1である。

【0048】第3絶縁膜624のエッチングは、膜の厚さが半導体デバイス全体で変化するので、困難である。図6に見られるように、相互接続部345および絶縁キヤッピング層44上の第3絶縁膜624の一部分が最も

薄く、ドーブ領域 2 8 4, 2 4 4 の上に位置するシリサイド領域 6 1 0 上の第 3 絶縁膜 6 2 4 の別の部分はかなり厚めであり、部分 4 2 5 の上に位置するシリサイド領域 6 1 0 上の第 3 絶縁膜の更に別の部分は、中間の厚さを有する。これら 3 つの異なる高さのために、エッチングが困難となる。

【0 0 4 9】第 3 絶縁膜 6 2 4 は、二工程プロセスの間にエッチングする。最初の工程において、絶縁キャッピング層 4 4 の上に位置する第 3 絶縁膜 6 2 4 の殆どを除去する。第 3 絶縁膜をエッチングするには、オクトフル
10 オロブテン (C_8F_{18})、一酸化炭素 (CO)、および CF_4 の組み合わせを用いる。 $C_8F_{18} : CO : CF_4$ ガスの比率は、約 1 : 7 : 2 である。絶縁キャッピング層 4 4 上の第 2 絶縁膜 6 2 2 に達する前、またはその直後に、エッチング化学薬品を交換する。 CF_4 ガス流を停止するが、 C_8F_{18} ガスおよび CO ガスはほぼ同じ流量で継続する。

【0 0 5 0】プラズマ・エンハンス窒化物のような従来の窒化物膜を第 2 絶縁膜 6 2 2 に用いた場合、ドーブ領域 2 4 4, 2 8 4 の上に位置するシリサイド領域 6 1 0
20 の上に位置する第 2 絶縁膜 6 2 2 の部分に到達する前に、絶縁キャッピング層 4 4 上にある第 2 絶縁膜 6 2 2 の殆どは除去される。シリサイド領域 6 1 0 の上に位置する第 2 絶縁膜 6 2 2 の部分を除去するための後続のエッチング工程では、大量の絶縁キャッピング層 4 4 を除去し、相互接続部 3 4 5 とシリサイド領域 6 1 0 との間に、漏れ経路の形成または電気的短絡の可能性さえもある。第 3 絶縁膜 6 2 4 付近の表面において、第 2 絶縁膜 6 2 2 (傾斜窒化物の実施例の場合) 内のシリコン含有量が多いために、第 3 絶縁膜 6 2 4 のエッチングの間、
30 第 2 および第 3 絶縁膜 6 2 2, 6 2 4 間により良いエッチング選択性が可能となる。第 2 絶縁膜 6 2 2 および第 3 絶縁膜 6 2 4 のエッチングの終了時頃で用いたエッチング化学薬品の組成は、選択性 (第 3 絶縁膜 6 2 4 のエッチング速度の第 2 絶縁膜 6 2 2 のエッチング速度に対する選択性) が少なくとも 10 : 1 となるように選択する。

【0 0 5 1】第 3 絶縁膜のエッチングに続いて、エッチング化学薬品を交換して、第 2 絶縁膜 6 2 2 の傾斜窒化シリコンを貫通するエッチングを行う。この特定実施例
40 では、フルオロメタン (CH_3F) および O_2 を用いて、第 2 絶縁膜 6 2 2 を貫通するエッチングを行う。一特定実施例では、ガスの比率は、 O_2 の CH_3F に対する比率が 2 : 1 ないし 5 : 1 の範囲となるようにする。一特定実施例では、この比率は約 3 : 1 である。この工程に続いて、エッチング化学薬品を再び交換し、第 1 絶縁膜 6 2 0 を貫通するエッチングを行う。エッチング化学薬品は、 CO および C_8F_{18} を、約 4 : 1 の $CO : C_8F_{18}$ 比で含む。第 2 絶縁膜 6 2 2 をエッチングする際
50 に用いる無線周波数 (RF) 電力は、絶縁層 6 2 をエッ

チングする他の工程全ての間に用いる RF 電力の約 20 ないし 30 パーセントである。他のエッチング工程のいずれかまたは全ての間、アルゴン、ヘリウム等を含む希ガスをを用いることができる。他の全てのエッチング・パラメータは従来通りである。全てのエッチング工程は、反応性イオン・エッチングとして特徴付けられる。これらのエッチング工程によって、図 7 に示すような開口 7 0 を形成する。

【0 0 5 2】傾斜窒化シリコンの実施例では、第 3 絶縁膜 6 2 4 は、傾斜窒化シリコンを含む第 2 絶縁膜 6 2 2
10 に対して選択的に除去することができる。第 1 の絶縁膜 6 2 0 は通常二酸化シリコンであるので、絶縁キャッピング層 4 4 をエッチングするにしても、さほど多くエッチングすることなく、第 2 絶縁膜 6 2 2 を除去することができる。図 7 には示さないが、第 1 および第 2 絶縁膜 6 2 0, 6 2 2 の部分は、開口 7 0 内で側壁スペース 6 1 8 に隣接して位置する場合もある。絶縁スペース 6 1 8 の側面に沿って絶縁膜 6 2 2, 6 2 0 が存在することによって、後続の処理に伴って決して問題を発生してはならない。何故なら、メモリ・セル毎の漏れ電流は容認可能であるからである。

【0 0 5 3】先に注記したように、第 1 および第 2 絶縁膜 6 2 0, 6 2 2 は、耐熱金属の酸化物または金属窒化物の単一膜で置換することができる。これらの膜は、アルゴン、ヘリウム、クリプトン等のような希ガスを含むスパッタ・エッチング・プロセスを用いて除去することができる。典型的に、膜が厚い程、堆積およびエッチングの非均一性のため、必要なオーバーエッチングが多くなる。耐熱金属の酸化物または金属窒化物の厚さは、薄く保持しなければならない。何故なら、このエッチング・プロセスは選択的でないからである。そうしないと、この工程のオーバーエッチングの部分が、シリサイド領域 6 1 0 または絶縁キャッピング層 4 4 を除去し過ぎる可能性がある。

【0 0 5 4】本発明の一実施例は、第 1 および第 2 絶縁膜 6 2 0, 6 2 2 の一方または双方に、低 k 誘電体を用いることを含む。多くの低 k 誘電体は有機 (炭素含有) であり、フッ素を含有する場合もある。有機膜を用いる場合、主に酸素を用いてこれを除去することができ、恐らくエッチングの間唯一の活性エッチング種として酸素を有する。

【0 0 5 5】接着/バリア膜 7 2 および導電膜 7 4 を、開口 7 0 内および絶縁層 6 2 上に形成する。接着/バリア膜は、チタン/窒化チタン化合物等のような、1 つ以上の膜を含むことができる。導電膜 7 4 は、タングステン、ドーブ・シリコン、アルミニウム、銅等を含む。接着/バリア膜 7 2 および導電性膜 7 4 は、典型的に、スパッタ堆積、化学蒸着、またはその組み合わせによって形成する。堆積に続いて、次に基板を研磨し、開口 7 0
50 の外側にある膜 7 2, 7 4 の部分を除去する。相互接続

部材 5 2 4 は既に形成されている。導電性部材 5 2 4 は、S R A M セルの記憶ノードの一部であることを注記しておく。この特定の場合では、これはラッチ・トランジスタのドレイン領域を負荷トランジスタのドレイン領域に接続する。負荷トランジスタは他の導電性部材に電氣的に接続され、他の導電性部材は、同じ S R A M セルの他の 2 つのラッチ・トランジスタおよび負荷トランジスタのゲート電極を含む。より具体的には、相互接続部材 5 2 4 は、導電性部材 3 2 の部分 4 2 5 およびドープ領域 2 4 4、2 8 4 を電氣的に接続するが、これは導電性部材 3 4 の相互接続部 3 4 5 からは絶縁されている。絶縁キャッピング層 4 4 は、相互接続部 3 4 5 を縦方向において相互接続部材 5 2 4 から電氣的に絶縁し、スペーサ 6 1 8 および保護層 6 1 6 は、相互接続部 3 4 5 を横方向において相互接続部材 5 2 4 から電氣的に絶縁する。

【0056】このプロセスによって、異なる高さに位置するメモリ・セルの導電性領域を（ドープ領域 2 4 4 または 2 8 4 を部分 4 2 5 に）電氣的に接続する導電性部材 5 2 4 の形成が可能となる。また、導電性部材 5 2 4 は、ほぼ同じ高さにある 2 つの導電性領域を電氣的に接続しつつ、これら 2 つの導電性領域間に横方向に位置し、それらよりも高い位置にある更に別の導電性領域（相互接続部 3 4 5）からは絶縁されている。この全ては、2 つの異なるマスクを必要とするデュアル・インレイド相互接続プロセス・フローを用いることなく、達成される。開口 7 0 を形成するには、1 つのマスク層だけがあればよい。

【0057】同じプロセス・シーケンスの間に、他の導電性部材 5 2 2、5 4 2、5 4 4、5 6 2、5 6 4、5 8 2、5 8 4 を形成する。これらは導電性プラグとなる。図 8 は、導電性部材 5 2 2 についての同様の構造を含む。これは、ドープ領域 2 2 4、2 6 4 および部分 4 4 5 を互いに接続するために用いられる。シリサイド領域 6 1 0 は、接触抵抗を減らす役割を果たす。メモリ・セル内において、シリサイド領域 6 1 0 を有する導電性部材 3 2、3 4 の部分は、実質的に、上に位置する導電性部材 5 2 2、5 2 4 に電氣的接続を行う部分のみである。他の実施例では、メモリ・セル内のシリサイド領域 6 1 0 は必要でない。導電性部材 5 2 2、5 2 4、5 4 2、5 4 4、5 6 2、5 6 4、5 8 2、5 8 4 は、下に位置するドープ・シリコン領域または層に直接接触するように形成することができる。

【0058】堆積によってレベル間誘電体層 9 0 を形成し、これにパターニングを行ってコンタクト開口を形成し、図 9 に示すように、これらの中に導電性プラグ 9 2 2、9 2 6、9 4 2、9 4 6、9 6 8、9 8 8 を形成する。コンタクト開口の外側にある下地の導電性部材の部分は、図 9 では破線で示されている。図 9 の中央付近において、破線で示す導電性部材は、記憶ノード接続部の

一部である導電性部材である。したがって、このレベルではこれらを接触させない。何故なら、これらはセル内接続部であり、セル間接続部ではないからである。次に、コンタクト開口を充填し、導電性部材 5 2 2、5 2 4、5 4 2、5 4 4、5 6 2、5 6 4、5 8 2、5 8 4 と同様に、導電性プラグ 9 2 2、9 2 6、9 4 2、9 4 6、9 6 8、9 8 8 を形成する。

【0059】図 10 において、レベル間誘電体レベル 9 0 上に絶縁膜 1 0 0 を形成し、これにパターニングを行って相互接続トレンチを形成し、コンタクト開口 9 4 2、9 4 4、9 6 2、9 6 4、9 8 2、9 8 4 内に位置する下地の導電性プラグを露出させる。相互接続トレンチ 1 0 2 を充填して、相互接続部 1 0 4、1 0 6、1 0 8 および導電性ランディング・パッド 1 0 3、1 0 5 を形成する。ワード・ラインは、相互接続部 1 0 4 および導電性部材 3 6 を含む。相互接続部 1 0 4 は、導電性部材 3 6 と比較して、格段に低い抵抗を有する。導電性部材 3 6 は、図 10 の下部付近に破線で示されている。相互接続部 1 0 4 は、典型的に、各 1 6、3 2、6 4、1 2 8 個のメモリ・セル毎に電氣的接続（図 9 には図示せず）を行う。メモリ・セル内では、相互接続部 1 0 4 および導電性部材 3 6 は互いにほぼ平行であるが、相互接続部 1 0 4 は、導電性部材 3 6 の上に位置しない。更に、平面図からは、相互接続部 1 0 6 は、相互接続部 1 0 4 と導電性部材 3 6 との間に位置する。相互接続部 1 0 6、1 0 8 を、それぞれ、 V_{ss} 電極および V_{DD} 電極に電氣的に接続する。続いて、導電性ランディング・パッド 1 0 3、1 0 5 を、メモリ・セルのビット・ラインに接続する。

【0060】処理を続けて、図 11 に示すように、ほぼ完全な半導体デバイスを形成する。図 11 は、図 8 とほぼ同じ位置における断面図である。相互接続部 1 0 4、1 0 6、1 0 8 は、接着／バリア膜 1 0 2 2 および導電性充填材 1 0 2 4 を、相互接続トレンチ 1 0 2 内に含む。相互接続部 1 0 4、1 0 6、1 0 8 上に、別のレベル間誘電体層 1 1 0 を形成する。導電性ランディング層 1 0 3、1 0 5（図 11 には図示せず）に、導電性プラグ（図示せず）を形成する。別の絶縁層（図示せず）を堆積し、これにパターニングを行って相互接続トレンチを形成し、ここにビット・ラインを配置する。ビット・ライン相互接続部 1 1 2 を含む相互接続部は、相互接続トレンチ内に形成する。相互接続部 1 1 2 は、接着／バリア膜 1 1 2 2 および導電性充填材 1 1 2 4 を含む。メモリ・アレイ内では、ビット・ライン相互接続部は、電源電極（ V_{DD} および V_{ss} ）をコンポーネント（即ち、トランジスタ）に電氣的に接続する相互接続部 1 0 6、1 0 8 とは逆に、最上位の相互接続部である。

【0061】パシベーション層 1 1 4 およびポリイミドのようなダイ・コート (die coat) 1 1 6 を、相互接続部 1 1 2 上に形成する。半導体デバイスの他の部分にも他

の電気的接続を行うが、図示しない。必要であれば、追加のレベル間誘電体層および相互接続層も形成可能である。パシベーション層 1 1 4 およびダイ・コート 1 1 6 は、最上位の相互接続レベル上に形成する。

【 0 0 6 2 】ここに記載する S R A M セルは、0. 2 5 ミクロン・プロセスに用いることができ、更に小さい幾何学的形状にも縮小可能である。レベル間誘電体層 9 0 から開始する S R A M セルの処理は従来通りである。導電性充填材 1 0 2 4, 1 1 2 4 は、典型的に、アルミニウムまたは銅である。デバイスの寸法が縮小すると、レベル間誘電体層、および相互接続トレンチを規定する絶縁層に、低 k 誘電体を用いることができる。非常に小さい幾何学的形状の高速 S R A M セルのためには、導電性充填層を銅とする。

【 0 0 6 3 】上述の S R A M アレイ内に S R A M セルを含む半導体デバイスを形成するためのプロセスは、種々の異なる面を利用するように配合したものである。まず、単結晶シリコン内に形成された 6 つのトランジスタを有するメモリ・セルを形成する。このメモリ・セルは、4 トランジスタ - 2 抵抗 S R A M セルと比較して、通常より安定な S R A M を形成し、薄膜負荷トランジスタを備えた 6 トランジスタ S R A M セルと比較して、より良いオン電流対オフ電流比を有する。このプロセスは、4 トランジスタ - 2 抵抗 S R A M セルや、薄膜負荷トランジスタを備えた 6 トランジスタ S R A M と比較して、用いる半導体層が少なく済む。追加のポリシリコン層を付加することによる追加のプロセス工程またはその他のプロセスの複雑化が回避される。更に、本プロセスは、1 マスク・プロセス・シーケンスによって導電性プラグを形成し、異なる高さにある導電性領域を含む複数の構造上に、記憶ノード接続を形成することを可能にする。

【 0 0 6 4 】図 7 を参照すると、導電性部材 5 2 4 は、ドープ領域 2 4 4, 2 8 4 および導電性部材 3 2 の部分 4 2 5 上のシリサイド領域 6 1 0 への電気的接続を形成する。しかしながら、導電性部材 5 2 4 は、導電性部材 3 4 の相互接続部 3 4 5 には電気的接続を行わない。明らかに、本発明の実施例は、スタティック・ランダム・アクセス・メモリ・セルのみに限定される訳ではない。同じ形式のプロセスは、半導体デバイス内に、反転器、一連の反転器またはその他の論理コンポーネントを形成するためにも使用可能である。ドープ領域 2 4 4, 2 8 4 は逆の導電型を有するが、他の実施例では、同じ導電型のドープ領域を接続する同様の構造も形成可能である。

【 0 0 6 5 】 S R A M セルは、相互接続部 1 0 4 および導電性部材 3 6 を含む、ワード・ラインを有する。メモリ・セル内では、相互接続部 1 0 4 は、直接導電性部材 3 6 の上に位置するのではない。図 1 0 に示すように相互接続部 1 0 4 を配置することにより、相互接続部 1 0

4 は、同一レベルに形成された相互接続部間に、一層均一な間隔を形成するのに役立ち、これによって、一定の近接効果のためにパターンニングが容易になる。また、相互接続部 1 0 4 の配置により、相互接続部 1 0 4 がメモリ・セル内の導電性部材 3 6 上に配置された場合に、ビット・ラインへの短絡の可能性が低下する。言い換えると、この実施例では、整合不良許容度の増大という形で、処理マージンが余分に得られる。

【 0 0 6 6 】この特定実施例は、シリサイドを形成した (silicided) 導電性部材の部分を有し、他の部分にはシリサイドを形成しない。メモリ・セル内では、上に位置する導電性部材 5 2 4, 5 2 2 にそれぞれ接触する部分 4 2 5, 4 4 5 のみに、シリサイドを形成する。導電性部材 3 2, 3 4 の他の部分は、シリサイドが形成されないゲート電極部を含む。何故なら、デバイスの速度は、シリサイドを形成しない部分による悪影響を受けないからである。導電性部材 3 6 は、メモリ・セル内に、シリサイドまたはその他の金属を有さない。S R A M セル内のデータにアクセスする場合の遅延時間の殆どは、行および列デコーダおよびセンス・アンプのような、メモリ・アレイの外側の周辺回路によって発生する。これらの周辺回路にはシリサイドを形成し、これらが比較的高速で動作可能とする。したがって、シリサイドを形成しない導電性部材は、既存の遅延時間よりも約 0. 1 ナノ秒の遅延時間を追加することになる。この 1 ナノ秒の 1 / 1 0 の追加は、アクセス時間の長さが典型的に少なくとも数ナノ秒であることを考えれば、比較的無意味である。

【 0 0 6 7 】多くの膜を用いて絶縁層 6 2 を形成し、層 6 2 のエッチングには数回の工程が含まれるが、既存の材料の使用が可能であり、適性に特徴化されていない未知のまたは外来の材料またはプロセスを用いる必要がない実施例では、プロセスの統合化が得られる。そうする場合、本プロセスの既存工場への統合化は、典型的に、新たな機器を調達することなく行うことができる。

【 0 0 6 8 】本発明の実施例の更に別の利点は、メモリ・セルを非常に小さな寸法にまで縮小可能なことである。一特定実施例では、セルは、0. 3 ミクロン未満の寸法で形成可能であり、更に 0. 1 ミクロンおよびそれ以下にも縮小することが可能である。デバイスは、約 1. 8 ボルトの V_{DD} 電位で動作するように設計されているが、 V_{DD} 電位をこれよりも高くすることも可能であり、あるいは、0. 9 ボルトまたはそれ以下にさえも低下させることも可能である。したがって、このデバイスは、非常に先進的な設計ルールを用いることを可能にする。ゲート電極のようなメモリ・デバイスのある部分は、更に縮小して、デバイスの速度を一層高めることも可能である。

【 0 0 6 9 】図示しないが、他のインプラントを用いて、スレシホールド電圧を調節し、チャネルおよびフィー

10

20

30

40

50

ルド・パンチスルー(punchthrough)等の可能性を低下させる。また、低濃度ドーブ領域(LDD)のための追加注入も行うことができる。しかしながら、非常に小さい寸法および低い電位では、これらのLDD領域は、チャネル・パンチスルーに必要な電圧量の減少、またはこれらの領域からのドーバント(拡散)の制御のために、不必要になる可能性や望ましくなくなる可能性がある。

【0070】上述の明細書では、具体的な実施例を参照しながら本発明について説明した。しかしながら、特許請求の範囲に明記した本発明の範囲から逸脱することなく、種々の修正や変更が可能であることを当業者は認めよう。したがって、明細書および図面は、限定的な意味ではなく例示的な意味で解釈すべきであり、かかる修正は全て、本発明の範囲に含まれることを意図する。特許請求の範囲においては、ミーンズ・プラス・ファンクション(means-plus-function)項目(群)がある場合は、いずれも、ここに記載した構造で、列挙した機能(群)を行うものを含むものとする。また、ミーンズ・プラス・ファンクション項目(群)は、列挙した機能(群)を行う構造的同等物および同等の構造も含むものとする。

【図面の簡単な説明】

【図1】6-トランジスタSRAMセル(従来技術)の概略図。

【図2】フィールド分離領域を形成した後に、部分的に形成されたSRAMセルの平面図。

【図3】本発明の一実施例にしたがってマスク層を絶縁キャッピング層上に形成した後の図2のメモリ・セルの平面図。

【図4】本発明の一実施例にしたがって導電性部材上の絶縁キャッピング層の部分除去した後の図3のメモリ・セルの平面図。

【図5】本発明の一実施例にしたがって導電性部材を形成した後の図4のメモリ・セルの平面図。

【図6】図5に示す導電性部材の形成の間におけるメモリ・セルの部分の断面図。

【図7】図5に示す導電性部材の形成の間におけるメモリ・セルの部分の断面図。

【図8】図5に示す導電性部材の形成の間におけるメモリ・セルの部分の断面図。

【図9】メモリ・セルにコンタクト開口を形成した後のメモリ・セルの平面図。

【図10】メモリ・セルに対する第1レベル相互接続後のメモリ・セルの平面図。

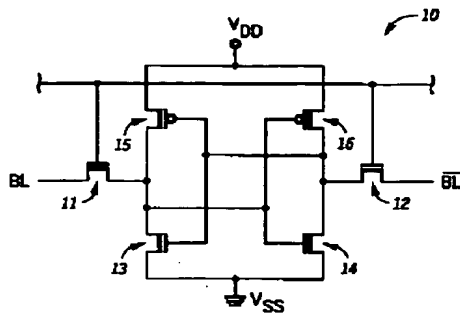
【図11】ほぼ完成したデバイスを形成した後の図10のメモリ・セルの断面図。

【符号の説明】

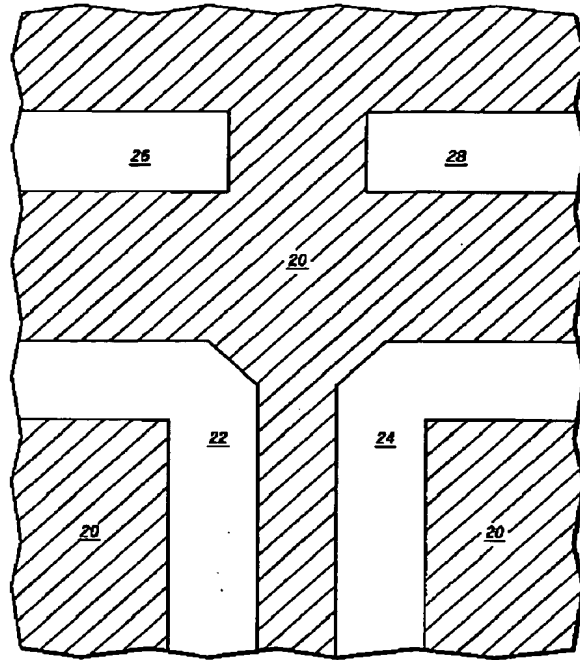
10 SRAMセル
11, 12 パス・トランジスタ
13 n-型ラッチ・トランジスタ

14 n-チャネル・ラッチ・トランジスタ
15 p-型負荷トランジスタ
16 p-チャネル負荷トランジスタ
20 フィールド分離領域
22, 24, 26, 28 アクティブ領域
32, 34, 36, 522, 534, 542, 544,
562, 564, 582, 584 導電性部材
40 マスキング層
42, 70 開口
44 絶縁キャッピング層
62 絶縁層
64 レジスト層
66 マスキング層開口
72, 1022, 1122 接着/バリア膜
74 導電膜
90 レベル間誘電体レベル
100 絶縁膜
102 相互接続トレンチ
103, 105 導電性ランディング・パッド
104, 106, 108, 325, 345, 365
相互接続部
110 レベル間誘電体層
114 パシベーション層
116 ダイ・コート
222, 224, 226, 242, 244, 246
N+ドーブ領域
264, 268, 284, 288 P+ドーブ領域
326, 348 負荷トランジスタ・ゲート電極部
332, 344 ラッチ・トランジスタ・ゲート電極部
362, 364 パス・トランジスタ・ゲート電極部
524 相互接続部材
602 N-ウエル領域
606 P-ウエル領域
610 シリサイド領域
616 保護層
618 絶縁スパーサ
620 第1絶縁膜
622 第2絶縁膜
624 第3絶縁膜
626 第4絶縁膜
628 第5絶縁膜
629 表面
922, 926, 942, 946, 968, 988
導電性プラグ
942, 944, 962, 964, 982, 984
コンタクト開口
1024, 1124 導電性充填材

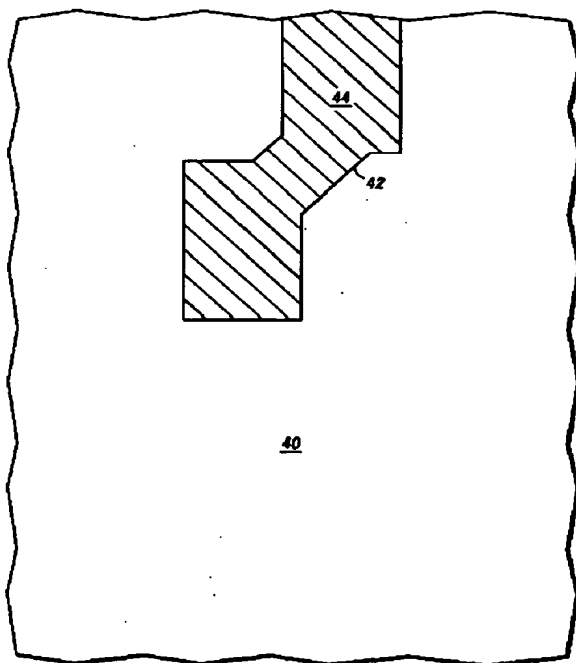
【図 1】



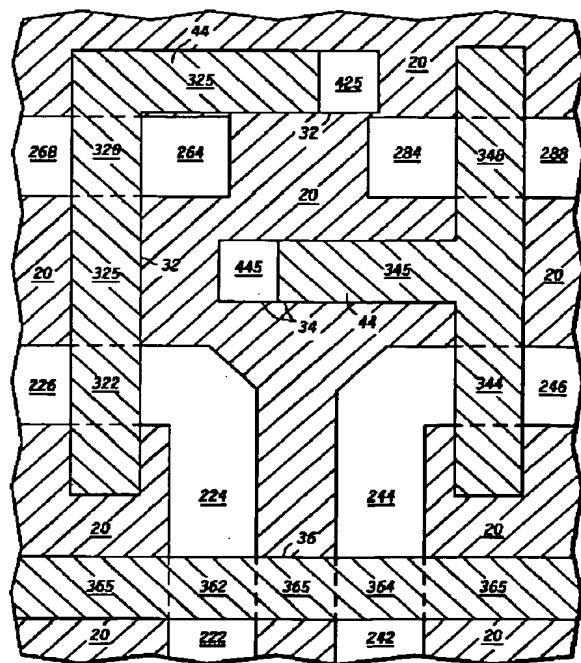
【図 2】



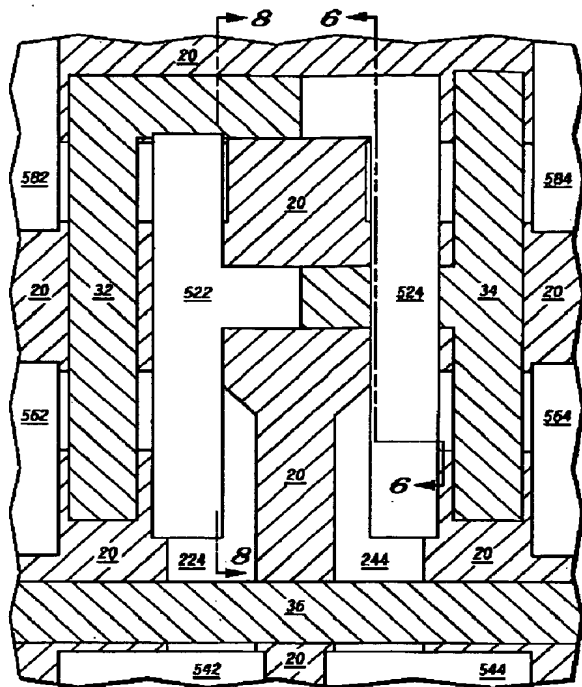
【図 3】



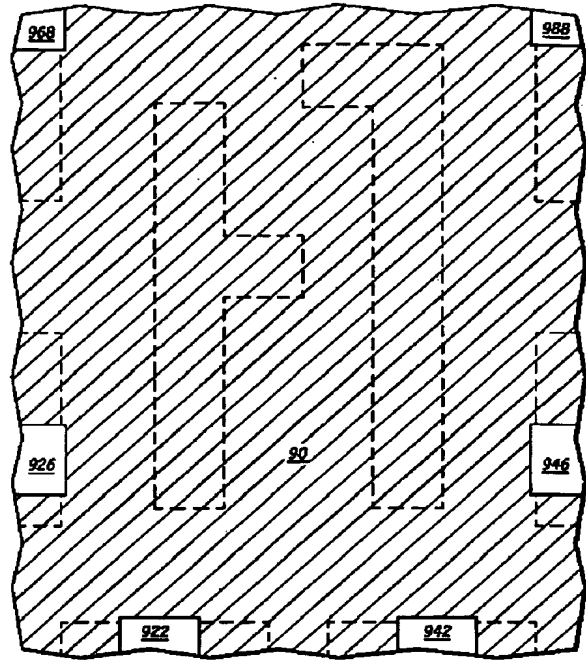
【図 4】



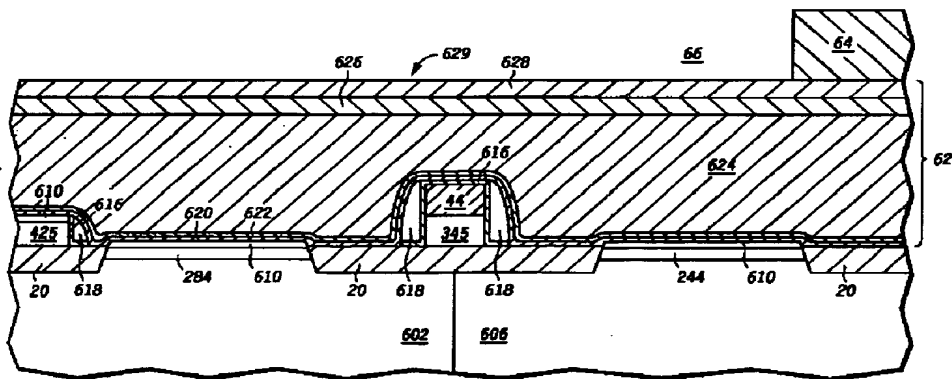
【図 5】



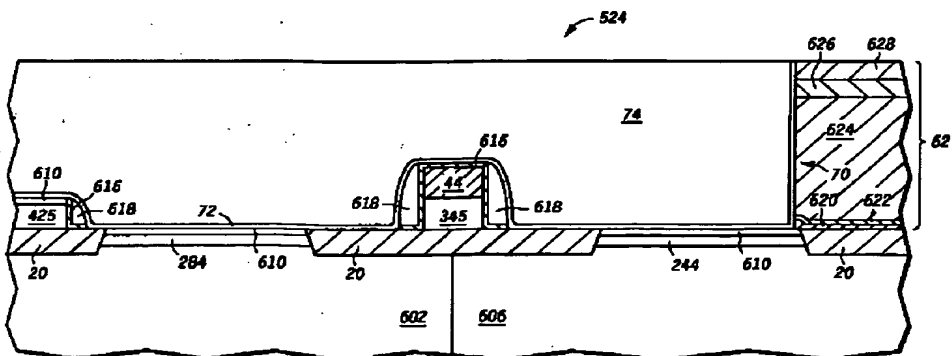
【図 9】



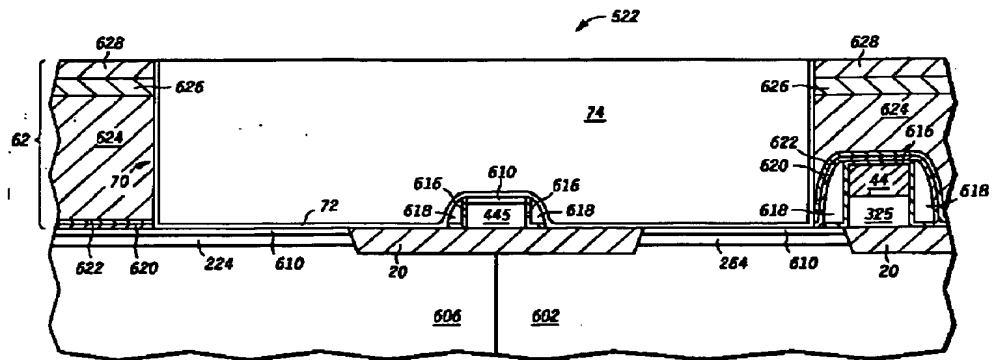
【図 6】



【図 7】



【図 8】



【図 10】

